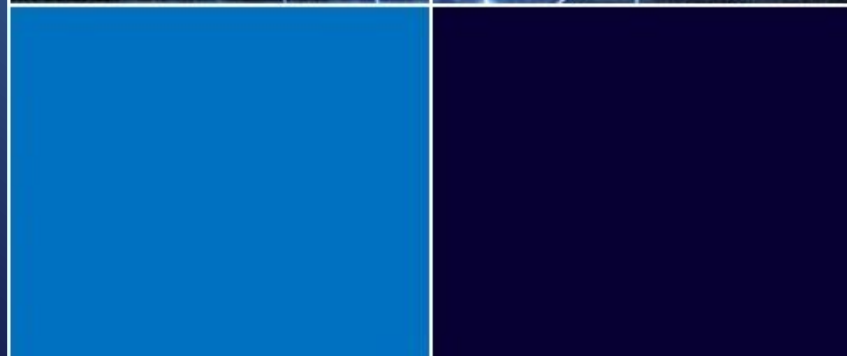


应用指南

超低抖动高频 LVDS 时钟晶体振荡器 (用于光通信数字信号处理器)



RAILTRON

LVDS 振荡器

电路结构，测试配置与电源噪声抑制优化建议

目录

应用指南为以下方面提供建议：

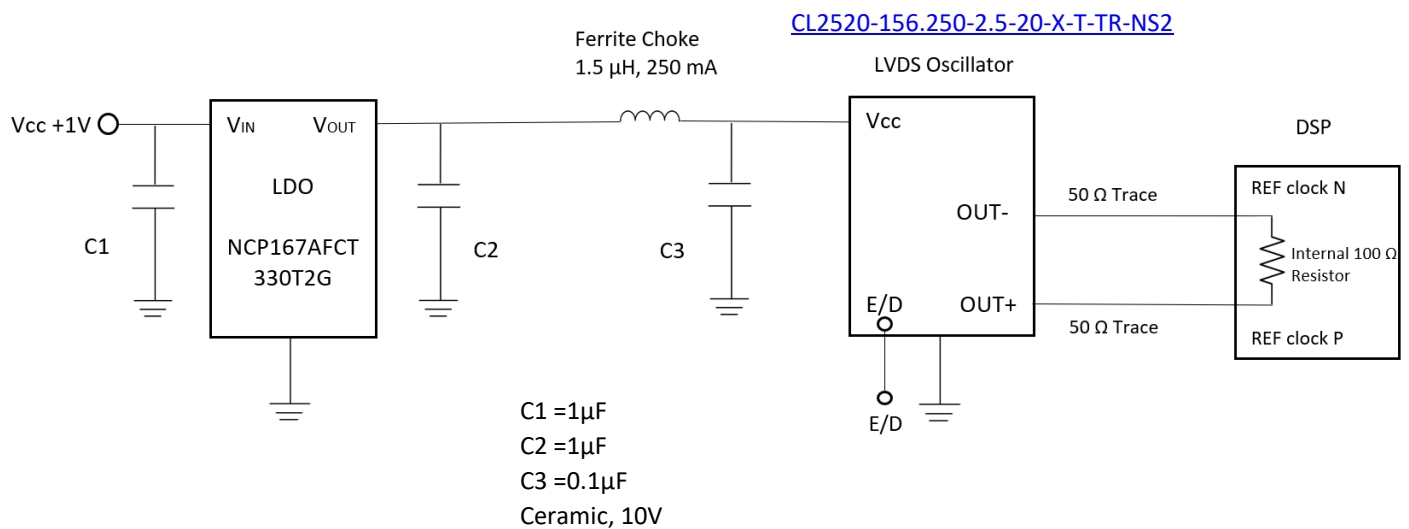
- a) 应用电路结构和 PCB 布局建议 - 第 2~5 页
- b) 测试设置: 相位噪声测试 - 第 6 页
- c) 测试设置: 输出信号完整性测试 - 第 7 页
- d) 电源噪声抑制优化 - 第 8~12 页

注意:

在此 Application Note 全部电路和测试中所使用的是 Raltron LVDS 时钟晶体振荡器 2.5 mm x 2.0 mm 2.5 V 20ppm 156.250 MHz 料号为 [CL2520-156.250-2.5-20-X-T-TR-NS2](#) 此产品仅作为示例，相同的电路和测试适用于整个 [Raltron LVDS 时钟振荡器系列](#)。

电路结构与 PCB 布局建议

电路结构 0 完整电路



Raltron LVDS 振荡器: [CL2520-156.250-2.5-20-X-T-TR-NS2](http://www.raltron.com/CL2520-156.250-2.5-20-X-T-TR-NS2)

***注意:** 对于 LVDS 信号，电路或测试夹具中需要 50 Ω 走线。如果接地平面与走线位于同一层，并且另一层下方也有接地平面，则建议使用共面波导。如果走线层上没有接地层，则建议使用微带线。PCBA 的许多 CAD 程序都可以用来设计 50 Ω 良好的走线。如果 PCB 设计软件不具备此功能，则 AppCAD 是 Avago 提供的免费软件。请查看以下链接：

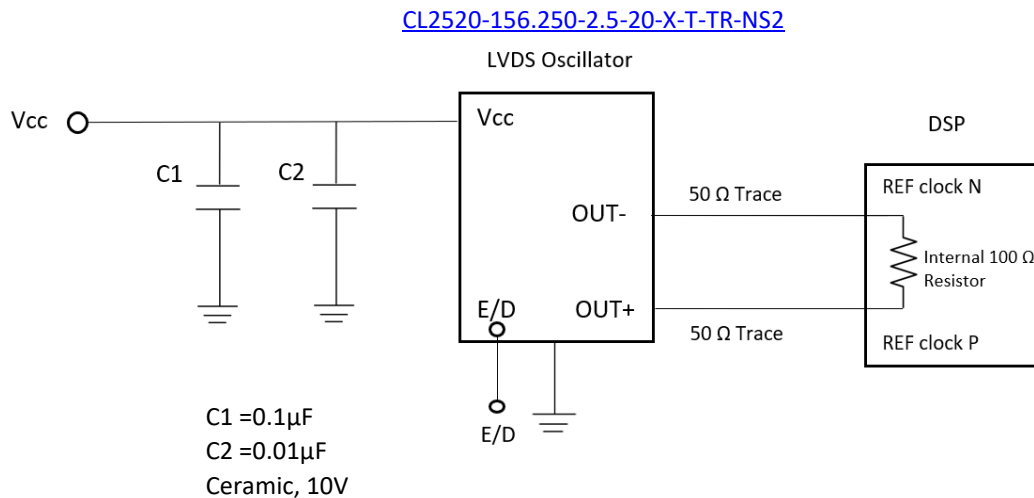
<http://www.hp.woodshot.com/>

AppCAD 软件在“传输线”部分提供了多个选项来设计 50 Ω 走线。

完整电路中使用了 LDO(低压差线性稳压器)，扼流圈和旁路电容。
 可提供出色的电源噪声抑制效果，但由于使用了大量组件，因此占用了过多空间并且成本较高
 推荐用于布局空间较充裕的应用。

电路结构 1

仅包含旁路电容



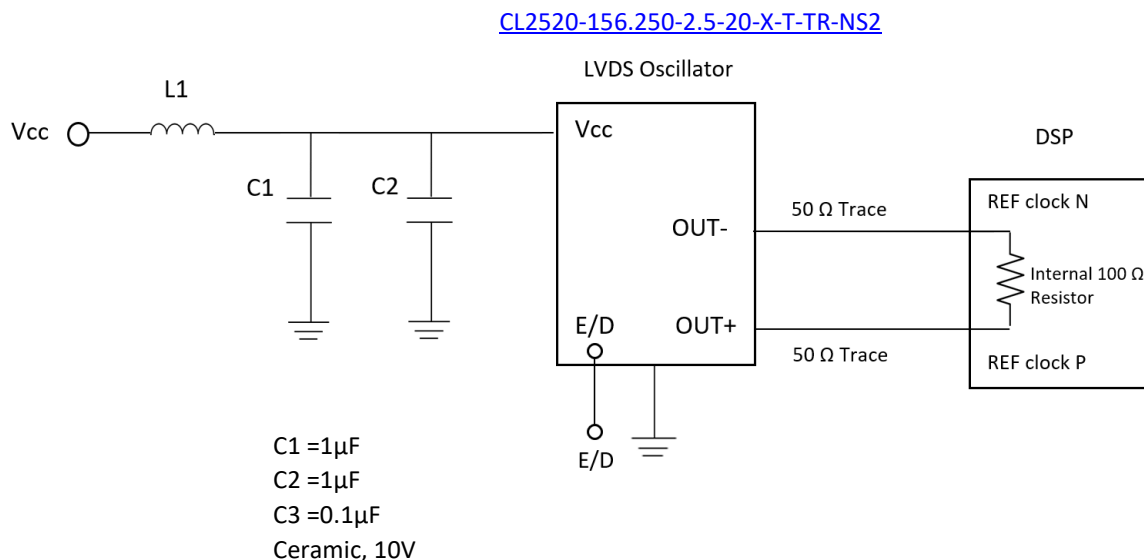
简单电路结构仅使用了用于滤波的电容器。

主要基于振荡器内部滤波，可提供合理的电源噪声抑制效果，更小的空间以及更少的组件数量，更好的成本控制。仅推荐用于合理纯净的电源的应用。

电路结构与 PCB 布局建议

电路结构 2

扼流圈和旁路电容



普通电路结构中使用了用于滤波的电容器和扼流圈

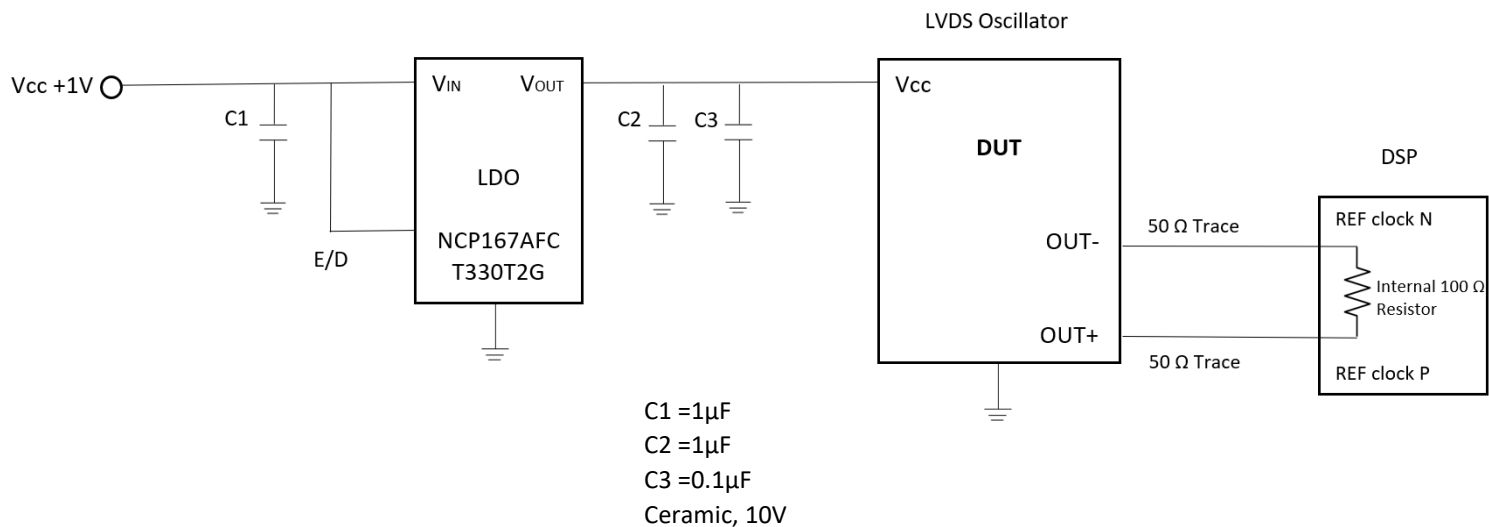
使用了额外降噪部件扼流圈，额外降噪提供了比电路结构 1 更好的 PSRR。但由于使用了额外的组件，因此增加了空间，并且成本稍微增加。仅推荐用于一般噪声水平的电源和一般需求的空间利用率的成本合理的应用中。

电路结构与 PCB 布局建议

电路结构 3

LDO (低压差线性稳压器)和旁路电容

[CL2520-156.250-2.5-20-X-T-TR-NS2](#)



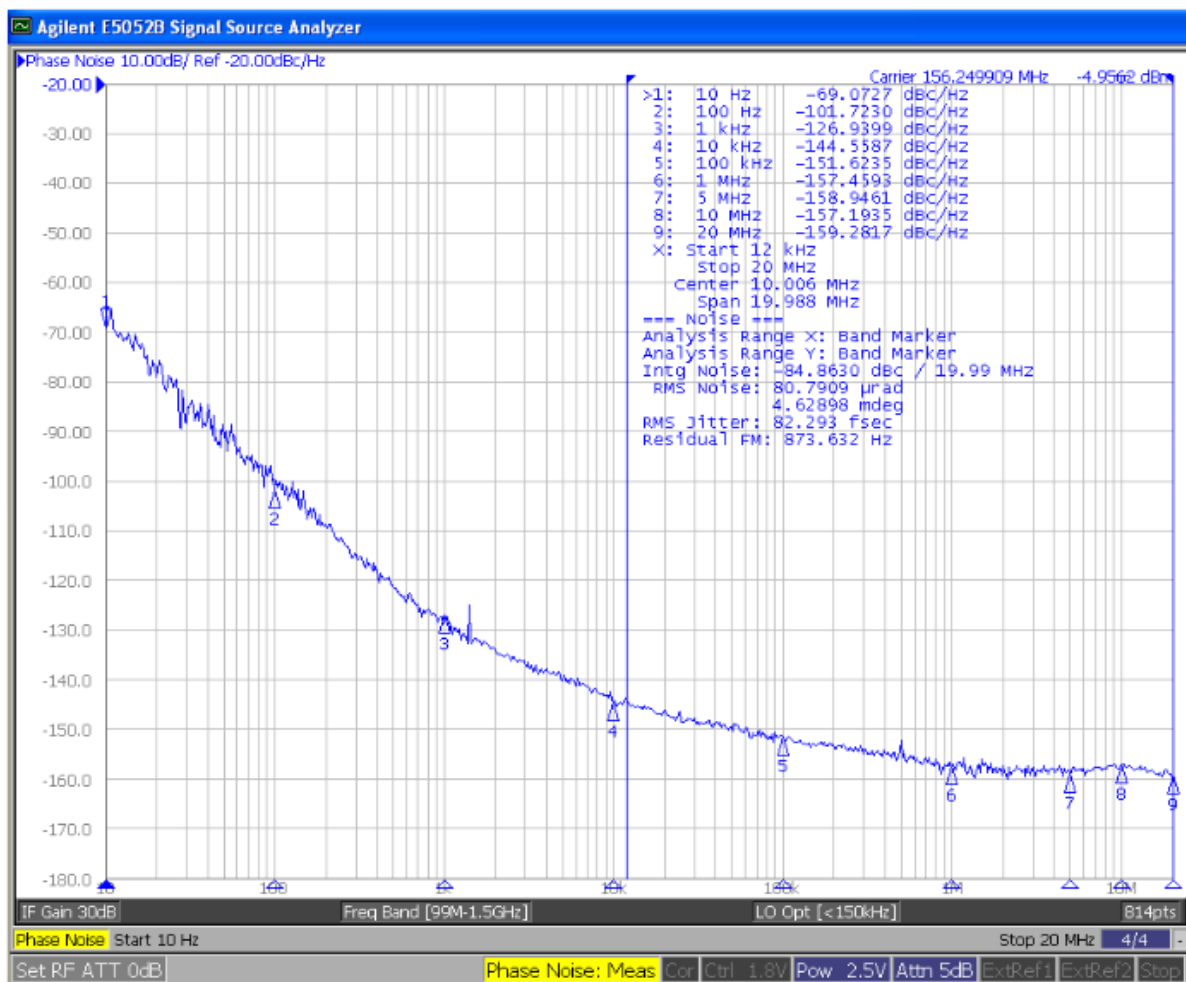
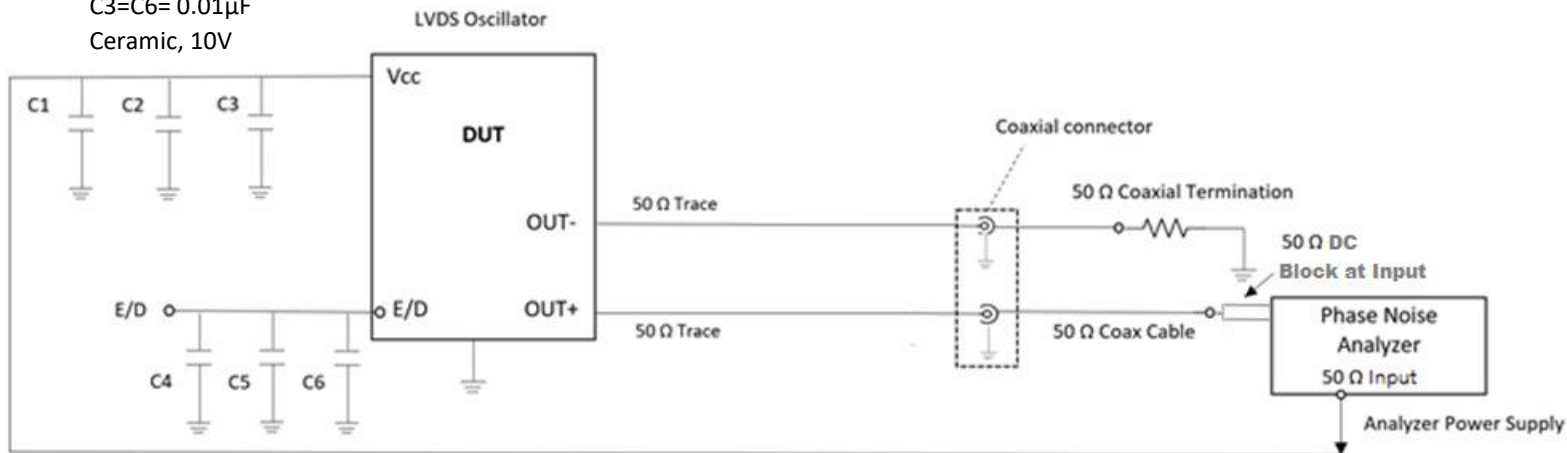
使用 LDO 和滤波电容器的简化电路配置。

由于 LDO 具有出色的降噪效果，因此与电路配置 1 和 2 相比，可提供更好的电源降噪效果。由于所选 LDO 的尺寸非常小，因此可优化 PCB 空间利用率。该解决方案推荐用于空间有限且需要提高 PSRR 的小型光模块等应用。

相位噪声测试电路

C1=C4= 10 μ F
 C2=C5= 1 μ F
 C3=C6= 0.01 μ F
 Ceramic, 10V

[CL2520-156.250-2.5-20-X-T-TR-NS2](#)

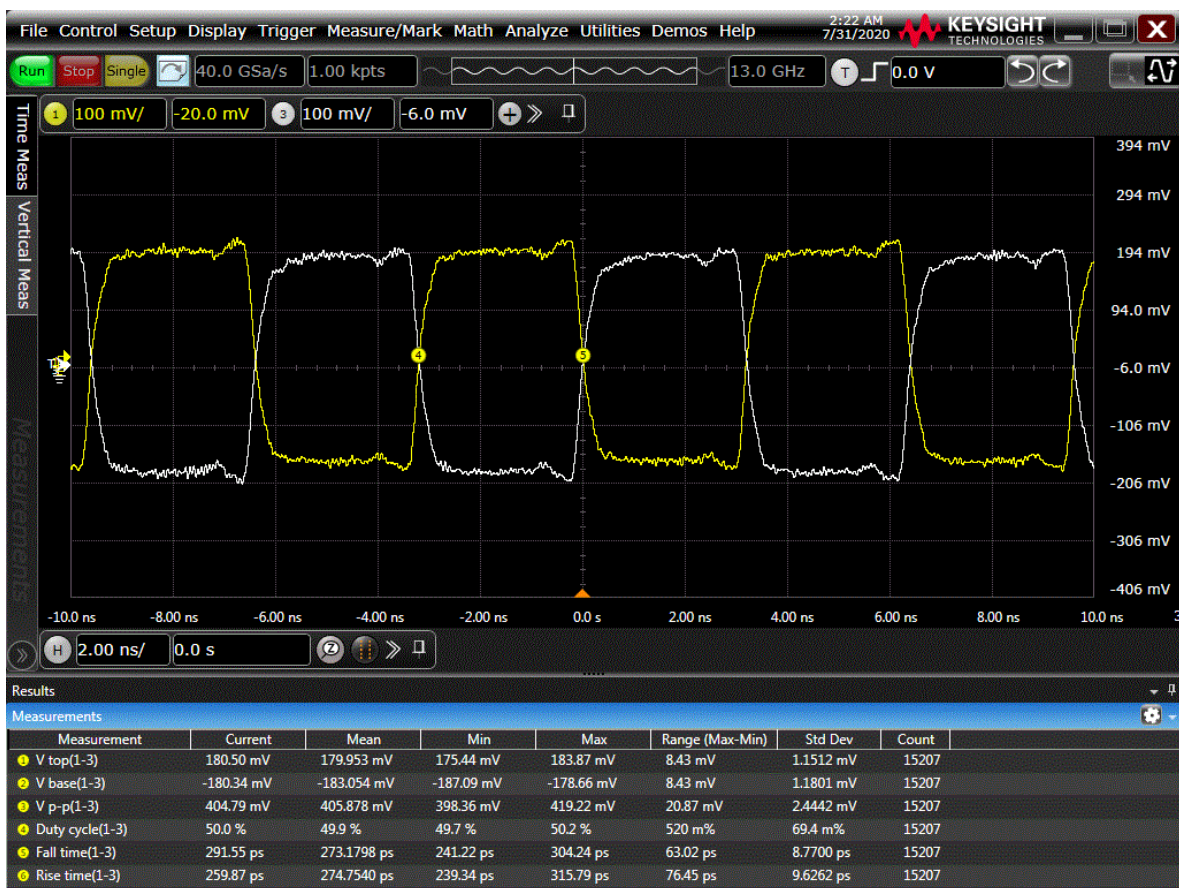
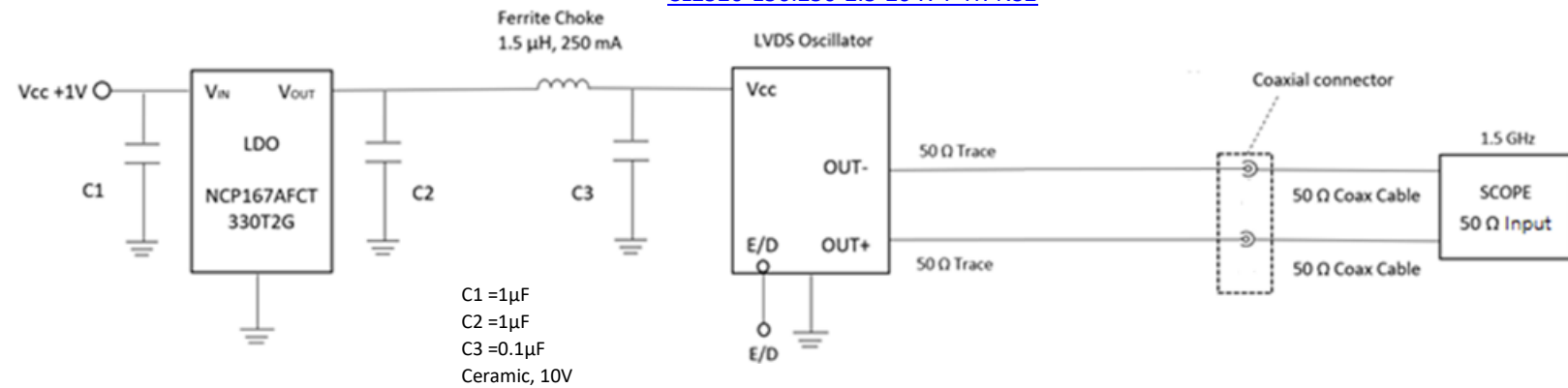


用上述测试电路得到的振荡器正确相位噪声

输出信号完整性测试电路

- 使用纯净低纹波的线性电源
- 使用两条 50 Ω 同轴电缆连接到时钟振荡器两个输出端
- 输出信号振幅，上升/下降时间，波形对称性

[CL2520-156.250-2.5-20-X-T-TR-NS2](#)



LVDS “OUT+” and “OUT-” 眼图中的波形

(“OUT+” and “OUT-” 输出电压大概 360mV)

Raltron LVDS 振荡器电源噪声抑制优化

- 电源噪声抑制定义了电路结构消除通过其电源（Vcc 引脚）注入的各种频率的噪声影响的程度。PSRR（电源抑制比）是电路输入电压变化与电路输出电压变化的比率。
- 可以通过使用滤波电路来优化电源噪声抑制。最常见的滤波器是不同容值的电容，电感器（扼流圈）和线性稳压器（LDO-低压降稳压器）。
- 为了获得最佳噪声抑制效果，需要使用几种或所有这些类型的滤波组件的组合。面临的挑战是在利弊因素中找到解决方案: 最佳 PSRR（通常与所用滤波组件的数量成正比），滤波组件越多则占用 PCB 空间越多成本越高。
- 已使用 Raltron LVDS 156.250MHz 2.5mmx2mm 系列振荡器, PN: [CL2520-156.250-2.5-20-X-T-TR-NS2](#), 对以下电路结构 1-3 的 PSRR 性能进行了测试。

规格书: [CL2520-156.250-2.5-20-X-T-TR-NS2](#)

测试包括向振荡器电源引脚注入 100 毫伏振幅的 AC 正弦波信号，并测量在 10 千赫、100 千赫、1 兆赫和 10 兆赫输入信号频率下振荡器输出处产生的相位噪声中的杂散，并比较了三种电路结构的杂散抑制。

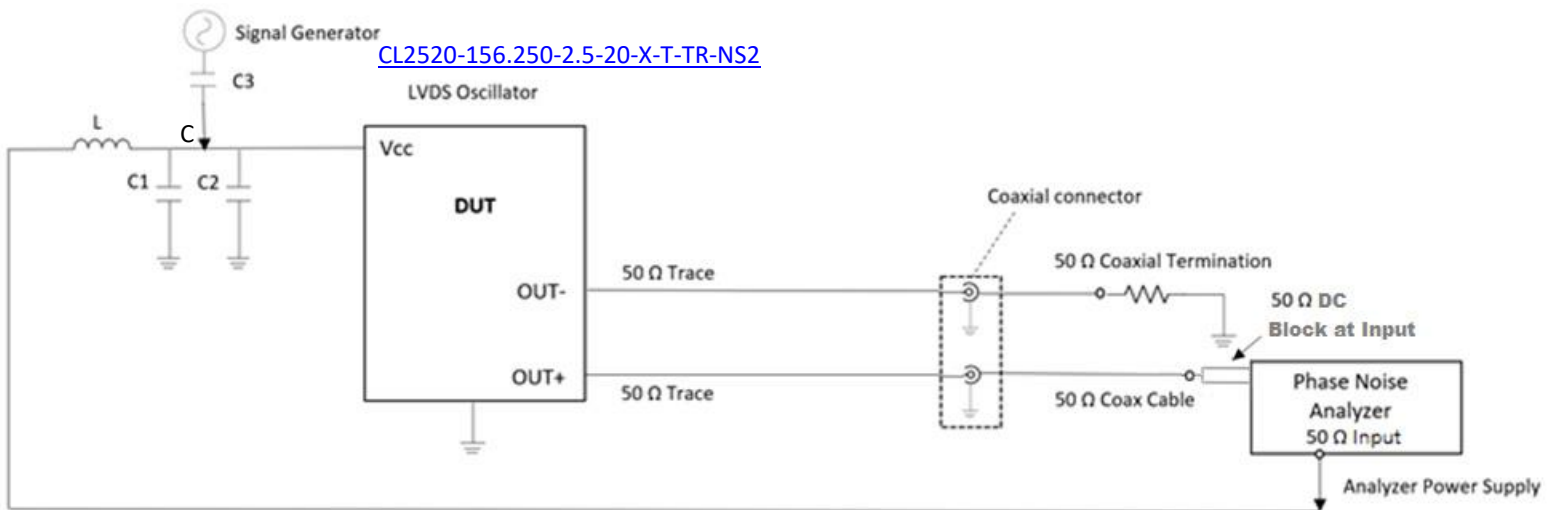
Raltron LVDS 振荡器电源噪声抑制优化

电路结构 1 仅包含旁路电容

测试设备: 相位噪声分析仪 Agilent E5052B, 信号发生器 Agilent 33250A
测试条件: $V_{dd}=2.5V$

在如下电路中指示的点 C 处将交流正弦波信号注入电路, 并且在振荡器 V_{cc} 引脚处测得的波形幅度为 100mV。信号频率分别从 10kHz 更改为 100kHz, 1MHz 和 10MHz, 并分别测试相位噪声。使用以下电路在室温下进行测量,

建议按照以下组件数值设置: $C1 = 0.1\mu F$, $C2 = 0.01\mu F$, $C3 = 20.1\mu F$ 。作为低通滤波器的旁路电容必须尽可能靠近 V_{cc} 和 GND 引脚放置。电感器 L ($L = 4.7\mu H$) 仅是一个测试需要的组件, 可防止注入的 AC 正弦波信号被相位噪声分析仪滤除。



频偏 Offset Frequency from F_0	$F_n = 10kHz$	$F_n = 100kHz$	$F_n = 1 MHz$	$F_n = 10 MHz$
信号发生器引起的杂散噪声后的相位噪声 Phase Noise Spur Value Induced by Signal Generator [dBc/Hz]	-94.6	-120.56	-103.77	-148.18

Raltron LVDS 振荡器电源噪声抑制优化

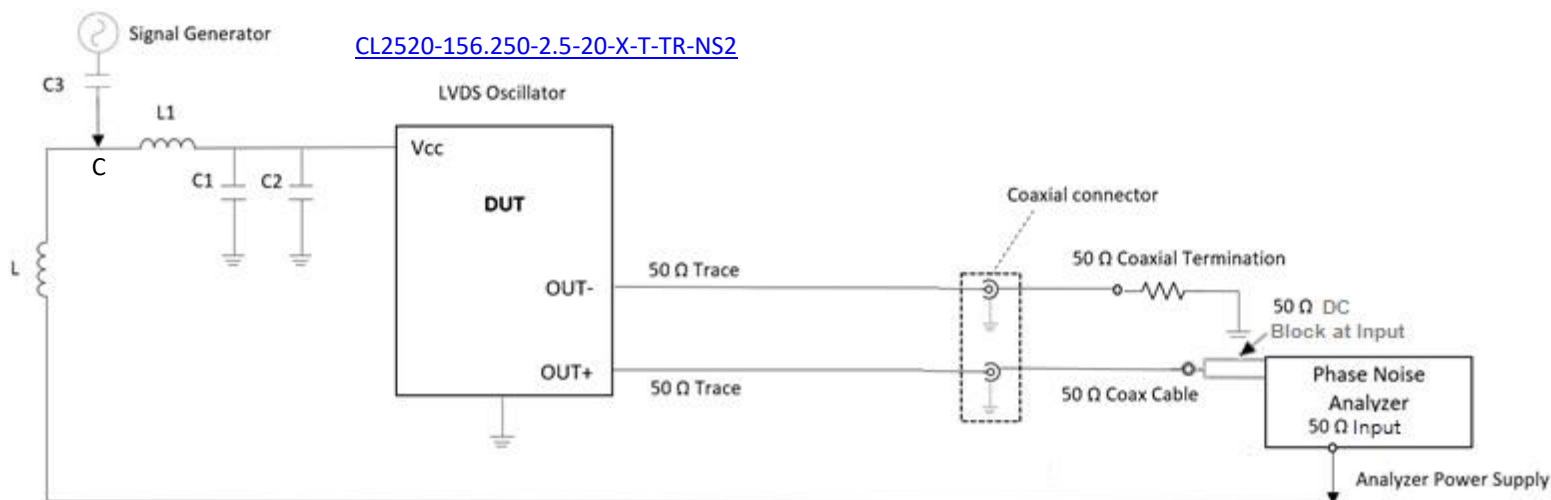
电路结构 2 扼流圈和旁路电容

测试设备: 相位噪声分析仪 Agilent E5052B, 信号发生器 Agilent 33250A

测试条件: $V_{dd}=2.5V$

在如下电路中指示的点 C 处将交流正弦波信号注入电路, 并且在振荡器 V_{cc} 引脚处测得的波形幅度为 100mV。信号频率分别从 10kHz 更改为 100kHz, 1MHz 和 10MHz, 并分别测试相位噪声。使用以下电路在室温下进行测量,

建议按照以下组件数值设置: $C1 = 0.1\mu F$, $C2 = 0.01\mu F$, $C3 = 20.1\mu F$, $L1=1.5\mu H$ 。作为低通滤波器的旁路电容必须尽可能靠近 V_{cc} 和 GND 引脚放置。电感器 L ($L = 4.7\mu H$) 仅是一个测试需要的组件, 可防止注入的 AC 正弦波信号被相位噪声分析仪滤除。



频偏 Offset Frequency from F_0	$F_n = 10kHz$	$F_n = 100kHz$	$F_n = 1 MHz$	$F_n = 10 MHz$
信号发生器引起的杂散噪声后的相位噪声 Phase Noise Spur Value Induced by Signal Generator [dBc/Hz]	-95.3	-122.56	-117.12	-156.30

Raltron LVDS 振荡器电源噪声抑制优化

电路结构 3

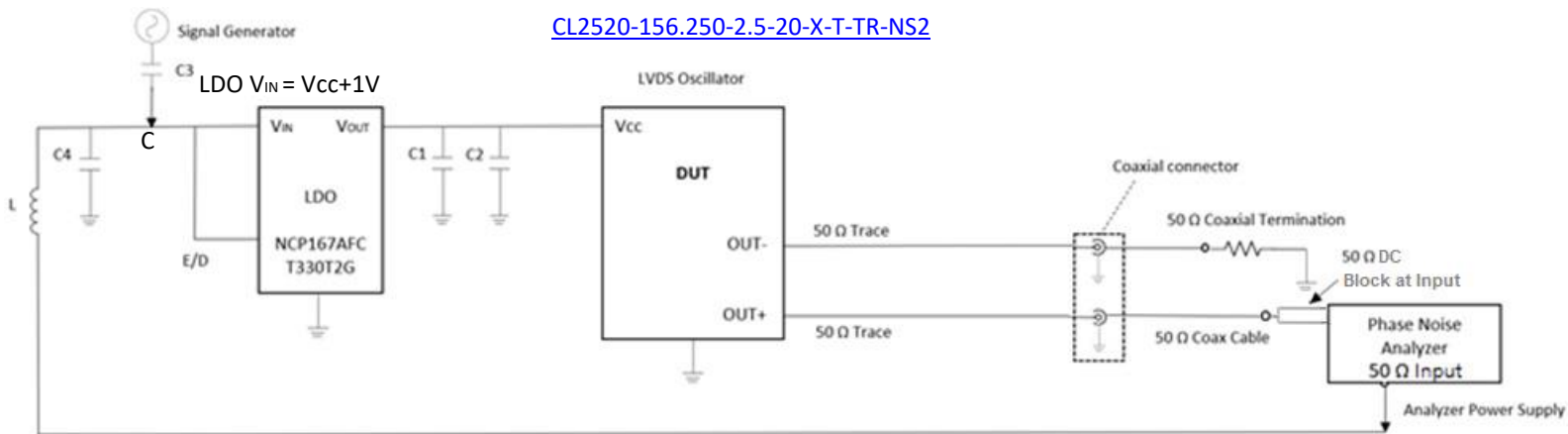
LDO (低压线性稳压器)和旁路电容

测试设备: 相位噪声分析仪 Agilent E5052B, 信号发生器 Agilent 33250A

测试条件: $V_{dd}=2.5V$, LDO $V_{IN} = V_{CC}+1V$

在如下电路中指示的点 C 处将交流正弦波信号注入电路, 并且在 LDO 的 V_{in} 引脚处测得的波形幅度为 $100mV$ 。信号频率分别从 $10kHz$ 更改为 $100kHz$, $1MHz$ 和 $10MHz$, 并分别测试相位噪声。使用以下电路在室温下进行测量,

建议按照以下组件数值设置: $C1 = 1\mu F$, $C2 = 0.1\mu F$, $C3 = 20.1\mu F$, $C3 = 1\mu F$ 。作为低通滤波器的旁路电容必须尽可能靠近 V_{CC} 和 GND 引脚放置。电感器 L ($L = 4.7\mu H$) 仅是一个测试需要的组件, 可防止注入的 AC 正弦波信号被相位噪声分析仪滤除。建议在电源输出和振荡器 V_{CC} 引脚之间使用 LDO (低压降稳压器)。On Semiconductor(安森美)LDO CNP167AFCT330T2G 已成功在此电路结构中测试。低压线性稳压器 LDO 性能优于先前解决方案中使用的滤波组件性能。



频偏 Offset Frequency from F_0	$F_n = 10kHz$	$F_n = 100kHz$	$F_n = 1 MHz$	$F_n = 10 MHz$
信号发生器引起的杂散噪声后的相位噪声 Phase Noise Spur Value Induced by Signal Generator [dBc/Hz]	-145.20	-153.50	-158.10	-160.00

Raltron LVDS 振荡器电源噪声抑制优化

三种建议的电路结构之间的比较

Solutions 解决方案	Recommended Components 推荐组件	Parameter 参数	CL2520-156.250-2.5-20-X-T-TR-NS2			
			Fn =10kHz	Fn =100kHz	Fn =1 MHz	Fn =10 MHz
#1 旁路电容	0201 电容: 0.6x0.3x0.3mm	Frequency Offset from Fo 频偏	-94.60	-120.56	-103.77	-148.18
#2 扼流圈和旁路电容	扼流圈: 1.7x0.9x0.9mm 0201 电容: 0.6x0.3x0.3mm	交流正弦波信号注入电路引起的杂散噪声后的相位噪声	-95.30	-122.56	-117.12	-156.30
#3 LDO and by-pass capacitors LDO 和旁路电容	LDO PN. ON SEMI NCP167AFCT330T2G: 0.65x0.65x0.33mm 0201 Caps: 0.6x0.3x0.3mm		-145.20	-153.50	-158.10	-160.00

建议

Raltron LVDS 振荡器具有优良的内在电源噪声抑制性能，有相对较纯净电源下并搭配旁路电容就可以在大多数的应用中使用。

若在电源输出的噪音水平上较差，建议使用 LDO 来提高噪音抑制性能。

On Semiconductor (安森美) 低压线性稳压器 LDO PN (PN: NCP167AFCT330T2G) 提供了一种低成本的解决方案，可实现出色的 PSRR 和与最小尺寸应用兼容的非常小的封装 (例如 QSFP-DD 光收发器/光模块)

规格书: [NCP167AFCT330T2G](#)

在受电源噪声影响较大的情况下，建议使用电路结构 3 以获得最佳 PSRR/尺寸/性价比 解决方案。